
Lucrarea 5

COMANDA TRANZISTOARELOR DE PUTERE CU GRILĂ MOS

1. Introducere

Dispozitivele semiconductoare de putere cu grilă MOS sunt comandate în tensiune deoarece au terminalul de comandă (grila) integrat într-o structură de tip *Metal-Oxid-Semiconductor*. Având în vedere calitățile incostabile ale acestor dispozitive (putere mică de comandă, frecvență mare de lucru etc.) cercetările din domeniul semiconductoarelor de putere și eforturile tehnologice de fabricație s-au îndreptat cu precădere spre dezvoltarea lor. În prezent, se găsesc pe piață o multitudine de asemenea dispozitive: tranzistoare MOSFET de putere (MOS *Field Effect Transistors*), tranzistoare bipolare cu grilă izolată (*Insulated Gate Bipolar Transistor* - IGBT), tiristorul controlat MOS (*MOS Controlled Thyristor* - MCT) etc.

Deoarece puterea de comandă a acestor dispozitive este neglijabilă pot fi integrate circuite de comandă complexe (*MGDs – MOS Gate Drivers*) cu multiple funcții care simplifică mult structura convertoarelor, le crește performanțele de funcționare și le reduce gabaritul. Beneficiind de o experiență largă în acest domeniu fabricanții dispozitivelor semiconductoare de putere au inclus micro-circuitele de comandă într-un modul împreună cu unul sau mai multe dispozitive semiconductoare de putere cu grilă MOS. S-a pus, astfel, baza tehnologiei *Smart Power* care oferă în prezent pe piața semiconductoarelor de putere numeroase tipuri de module inteligente la un preț atractiv. Luând în considerație aceste avantaje dublate de calitatea vitezelor mari de comutație este explicabilă tendința actuală a utilizatorilor de a apela din ce mai mult la categoria dispozitivelor cu grilă MOS în dauna celor deja consacrate cum ar fi GTO-ul sau tranzistorul bipolar de putere.

2. Simbolurile, structura semiconductoare și caracteristicile statice ale tranzistoarelor MOSFET de putere

Așa cum sugerează și numele, tranzistorul de tip MOSFET este primul reprezentant al categoriei dispozitivelor semiconductoare de putere cu grilă MOS. În Fig.5.1 sunt prezentate simbolul și structura semiconductoare a celui mai utilizat tranzistor MOSFET de putere, tranzistorul cu canal de tip *n*.

Terminale de forță sunt numite *drenă* (*D*), respectiv *sursă* (*S*) și trebuie polarizate ca în figură pentru o funcționare corectă. Tensiunea de comandă, notată cu u_{GS} , se aplică între *grilă* (*G*) și *sursă*. Prin intermediul acesteia poate fi controlat

curentul prin tranzistor numit *curent de drenă* – i_D . În cazul tranzistorului MOSFET de putere cu canal de tip n tensiunea grilă-sursă trebuie să fie pozitivă ($u_{GS} > 0$) pentru ca tranzistorul să fie adus în conducție.

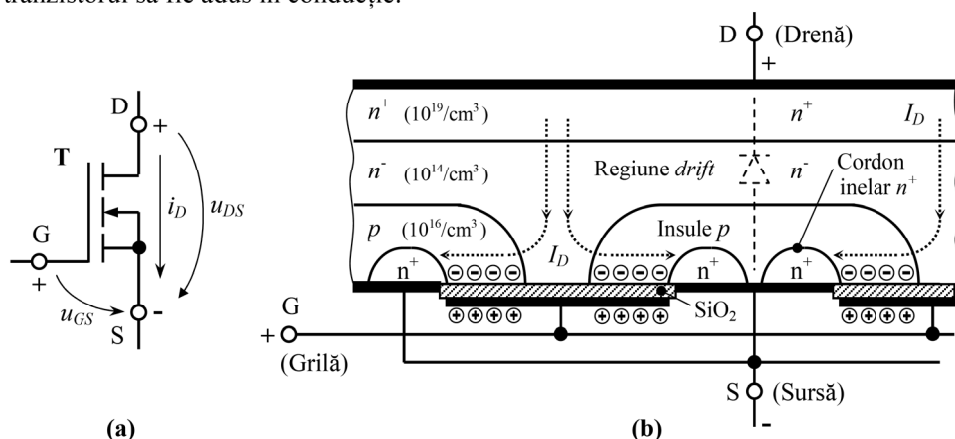


Fig. 5.1 Simbolul (a) și structura semiconductoră (b) a unui tranzistor MOSFET de putere cu canal de tip n .

Structura semiconductoră a tranzistoarelor MOSFET de putere este una de tip vertical cu 4 straturi obținute prin difuzie pe un disc de siliciu - Fig.5.1(b). Stratul de la care se pornește este cel al dreinei (n^+) care se întinde pe întreaga suprafață transversală a discului semiconductor peste care este crescut epitaxial stratul de *drift* al dreinei (n^-). Ca și în cazul altor dispozitive studiate grosimea acestui strat este în funcție de tensiunea de lucru pentru care a fost proiectat tranzistorul.

În stratul de *drift* sunt formate prin difuzie insule de tip p care vor sta la baza unor tranzistoare MOS elementare. În corpul de tip p al fiecărei insule numit *corp al canalului* (*body*), se vor forma în adâncime, prin difuzie, cordoane inelare de tip n^+ care se vor conecta la terminalul sursei. Canalele de conducție, induse de câmpul electric creat de grilă, vor lua naștere la suprafața materialului semiconductor prin traversarea radială de către curentul de drenă a benzilor circulare de tip p , rămase între cordoanele n^+ și suprafața regiunii de *drift* care înconjoară toate insulele.

Se poate observa că, în condițiile unei polarizări directe între drenă și sursă, dar fără o polarizarea corespunzătoare a grilei față de terminalul sursei tranzistorul rămâne blocat. Practic, stratul n^+ în contact cu terminalul dreinei, zona de *drift* a dreinei (n^-) și substratul p al fiecărei insule aflat în contact cu terminalul sursei formează structura unei diode de putere parazite, polarizată invers în acest caz. Capacitatea de *blocare directă* a tranzistorului va fi dată de tensiunea inversă maximă a acestei diode, dată la rândul ei de grosimea zonei de *drift*. Aceiași diodă rezultată constructiv anulează capacitatea de *blocare inversă* a tranzistorului MOSFET de putere. Totuși, prezența ei este benefică în majoritatea structurilor electronice de putere deoarece joacă rolul unei diode de descărcare.

Prin polarizarea grilei cu un potențial pozitiv față de terminalul sursei capacitatea MOS începe să se încarce așa cum se prezintă în Fig.5.1(b). În acest fel, sub stratul izolator al grilei, pe suprafața benzilor circulare de tip p , apar sarcini negative. Dacă tensiunea de comandă este mică, sub o valoare de prag ($u_{GS} < U_{GS(prag)}$), aceste sarcini negative sunt obținute doar printr-un fenomen de *golire* a materialului semiconductor apropiat. Astfel, ionii pozitivi (golurile) sunt respinși în profunzime și sarcina negativă de pe armătura semiconductoră a capacității MOS se datorează, în exclusivitate, ionilor acceptori. Aceștia nu pot amorsa conducția canalului și implicit a tranzistorului datorită faptului că sunt imobili în rețeaua cristalină a semiconductorului.

Dacă tensiunea de grilă depășește valoarea de prag specifică tranzistorului ($u_{GS} > U_{GS(prag)}$) apare așa numitul **fenomen de inversie** prin care materialul semiconductor de tip p aflat sub stratul izolator al grilei capătă trăsăturile unui material de tip n și va îmbogăți sarcina negativă de pe armătura capacității MOS cu electroni liberi. Datorită mobilității lor electronii creează o punte de legătură între zona de *drift* și cordoanele inelare n^+ legate la terminalul sursei, amorsând curentul de drenă pe traseele prezentate în Fig.5.1(b). Aceste punți de legătură luate în ansamblul lor formează **canalul de conducție** al tranzistorului MOSFET care, în cazul prezentat, este de tip n deoarece este format din sarcini negative. Odată cu amorsarea curentului de drenă electronii difuzează spre potențialul pozitiv creat de terminalul drenei în regiunea de *drift*. Înlocuirea continuă a electronilor plecați din zona canalului este realizată de cordoanele n^+ legate la potențialul negativ la sursei.

*Fenomenul prin care este modulată conductivitatea materialului semiconductor prin intermediul unei tensiuni sau a unui câmp electric poartă denumirea de **efect de câmp** și tranzistorul care-l utilizează **tranzistor cu efect de câmp** – FET (Field Effect Transistor). Aceste tranzistoare pot fi, la rândul lor, de mai multe tipuri. Tranzistorul MOSFET realizează efectul de câmp prin intermediul capacității MOS așa cum s-a descris mai sus.*

Conform celor arătate mai sus, datorită diodei parazite ($n^+ - n^- - p$) ce apare între drenă și sursă, tranzistorul MOSFET de putere nu poate bloca tensiuni inverse. Din acest motiv caracteristicile statice tensiune-curent vor fi prezentate doar în cadranul I al sistemului de axe $u - i$. Astfel, în Fig. 5.2(a) se prezintă dependența dintre căderea de tensiune pe tranzistor (tensiunea drenă-sursă $\rightarrow u_{DS}$) și curentul de drenă (i_D) pentru diferite valori ale variabilei de comandă (u_{GS}).

Dacă tranzistorul nu este comandat sau tensiunea de grilă este sub valoarea de prag $U_{GS(prag)}$ (în cataloage $V_{GS(th)}$ – *Gate Threshold Voltage*) dispozitivul nu se deschide și punctul de funcționare se plasează pe caracteristica de blocare directă ($I_D = 0$), în condițiile în care tensiunea drenă-sursă nu depășește o limită maximă. Dacă, însă, tensiunea de alimentare depășește o valoare maximă ($U_{DS} > U_{DS(max)}$) tranzistorul este străpuns și curentul de drenă crește până la valoarea limitată de circuitul de sarcină. Ca și în cazul tranzistorului bipolar de putere, *tensiunea de străpungere*

directă este notată în foile de catalog cu BV_{DSS} (**D**rain-**S**ource **B**reakdown **V**oltage, **g**ate-**s**ource **S**hort **c**ircuited) și este dată pentru situația în care tensiunea de comandă este zero (terminalele grilă-sursă scurtcircuitate).

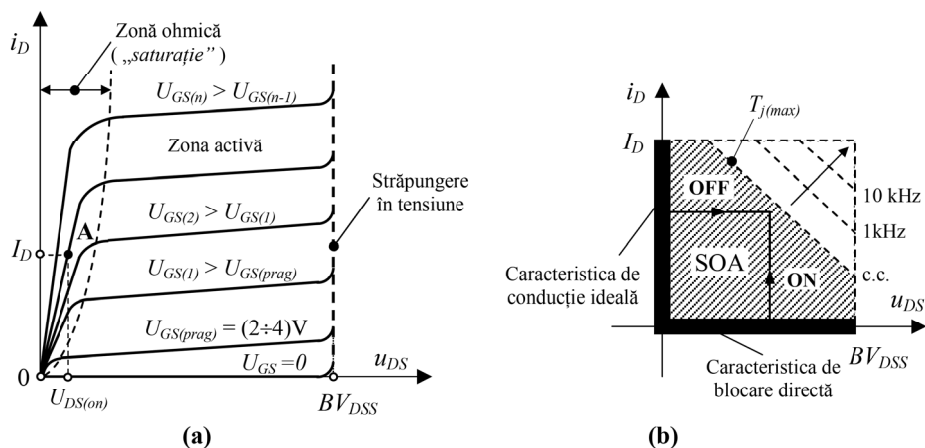


Fig. 5.2 (a) Caracteristicile u - i reale pentru un tranzistor MOSFET de putere;
(b) Caracteristicile u - i idealizate și aria de funcționare sigură (SOA).

Deschiderea controlată a tranzistorului MOSFET se produce atunci când tensiunea de grilă depășește valoarea de prag. În Fig.5.2(a) sunt prezentate mai multe caracteristici statice pentru diferite valori ale tensiunii de comandă, cuprinse într-un interval recomandat de firma producătoare a dispozitivului:

$$U_{GS(prag)} < U_{GS(1)} < U_{GS(2)} < \dots < U_{GS(n-1)} < U_{GS(n)} \leq U_{GS(max)} \quad (5.1)$$

Datorită grosimii foarte mici a stratului izolator dintre grilă și semiconductor nu sunt permise tensiuni grilă-sursă mari. Se apreciază că valori peste $(20 \div 30)V$ pot străpunge pelicula de SiO_2 . Din acest motiv firmele producătoare indică o manipulare cu grijă a acestor dispozitive, iar *driver*-ele nu vor utiliza tensiuni de comandă mai mari de $U_{GS(max)} = 20V$. Pentru o deschidere completă a tranzistoarelor MOSFET de putere, tensiunea de grilă trebuie să fie adusă în intervalul $U_{GS} = (10 \div 15)V$. De obicei, se folosește valoarea standard de $15V$.

Asemănător cu toate dispozitivele de tip tranzistor și caracteristicile statice ale tranzistoarelor MOSFET de putere prezintă două zone de funcționare:

- **zona activă** în care valoarea curentului prin tranzistor este controlată prin intermediul variabilei de comandă (u_{GS}) și în care apar căderi importante de tensiune pe tranzistor;
- **zona ohmică** de deschidere totală a tranzistorului în care tensiunea pe dispozitiv ($U_{DS(on)}$) este mică și puțin dependentă de curent.

Denumirea de *zonă ohmică* dorește să evidențieze procesele diferite care au loc în tranzistorul MOSFET atunci când acesta este în conducție totală, în contradicție cu tranzistorul bipolar unde această stare este inclusă în *zona de saturație* sau pe *dreapta de saturație*. La tranzistoarele bipolare deschiderea profundă se realizează printr-o *saturație* cu purtători de sarcină a stratului bazei și a regiunii de *drift* a colectorului, iar la tranzistoarele MOSFET prin inducerea unui canal conductor ce are comportamentul unui *rezistor* de valoare foarte mică. Totuși, având în vedere larga răspândire a termenului de „*saturație*” acesta este utilizat adesea și pentru tranzistorul MOSFET în diferite bibliografii.

Pierderile în conducție ale tranzistorului MOSFET de putere sunt date de produsul:

$$P_{on} = U_{DS(on)} \cdot I_D \quad (5.2)$$

într-un punct oarecare **A** de funcționare stabilă. Pe de altă parte, pornind de la un comportament rezistiv al tranzistorului MOSFET, în starea de conducție căderea de tensiune pe dispozitiv este dată de relația:

$$U_{DS(on)} = r_{DS(on)} \cdot I_D \quad (5.3)$$

unde $r_{DS(on)}$ este rezistența de conducție a tranzistorului pe care o întâlnește curentul de drenă pe traseul figurat în Fig.5.1(b).

Se apreciază că aproximativ 70% din pierderile în conducție au loc în regiunea de *drift*. Rezistența acestei zone, cât și rezistența canalului de conducție sunt în funcție de tensiunea maximă pentru care a fost sintetizat tranzistorul MOSFET de putere. În urma calculelor și a experimentelor, literatura de specialitate indică următoarea relație aproximativă de proporționalitate:

$$r_{DS(on)} \approx k \cdot [U_{DS(max)}]^{2,5} \quad (5.4)$$

Curentul de drenă maxim pe care poate să îl susțină un tranzistor MOSFET de putere în mod continuu, fără să se distrugă termic, se notează în cataloage cu I_D , iar curentul maxim de impuls este notat cu I_{DM} . Trebuie remarcat faptul că, datorită **coeficientului pozitiv de temperatură**, tranzistorul MOSFET de putere nu se poate distruge prin ambalare termică, deci nu prezintă fenomenul de străpungere secundară.

Chiar dacă este relativ mare, atunci când sunt analizate schemele de forță, se neglijează tensiunea de pe tranzistorul aflat în conducție cu punctul funcționare în zona ohmică. Astfel, se consideră că acest punct se află pe o caracteristică ideală de conducție, așa cum se prezintă în Fig.5.2(b). Luând în considerare caracteristica de blocare directă și faptul că trecerea de pe o caracteristică pe alta se poate face în ambele sensuri prin comandă se obțin trăsăturile unui comutator static ideal.

Suprafața cuprinsă între caracteristica de blocare, caracteristica de conducție, și limitele impuse de curentul maxim continuu I_D , respectiv tensiunea de străpungere directă BV_{DS} , formează *aria de funcționare sigură (SOA)* sau *suprafață de funcționare permisă* a tranzistorului MOSFET de putere - Fig.5.2(b). Suprafața hașurată reprezintă aria *SOA* corespunzătoare unei funcționări continue a tranzistorului MOSFET. Dacă

tranzistorul funcționează în comutație cu o anumită frecvență și cu o anumită durată relativă de conducție, aria de funcționare sigură suferă o extensie odată cu mărirea frecvenței de lucru, în sensul arătat de săgeata din figură.

3. Simbolurile, structura semiconductoare, schema echivalentă și caracteristicile statice ale tranzistoarelor IGBT

Dacă sunt analizate caracteristicile tranzistoarelor bipolare de putere comparativ cu cele ale tranzistoarelor MOSFET de putere, așa cum sunt prezentate în Tabelul 5.1, se constată o perfectă complementaritate între cele două dispozitive controlabile.

Tabel 5.1 Caracteristicile complementare ale tranzistoarelor bipolare, respectiv MOSFET de putere.

Tipul dispozitivului	Pierderi în conducție	Pierderi în comutație	Putere de comandă
Tranzistor bipolar (BJT)	MICI	MARI	MARE
Tranzistor MOSFET	MARI	MICI	MICĂ
IGBT	medii	medii	mică

Tranzistoarele bipolare de putere prezintă avantajul saturației profunde, de unde pierderile mici în conducție și dezavantajele unei dinamici mai lente care determină pierderi mari în comutație, precum și necesitatea unei puteri de comandă importante. Spre deosebire de acesta, tranzistorul MOSFET are o rezistență de conducție relativ mare care provoacă pierderi importante în conducție, în schimb este mult mai rapid (pierderi mici în comutație) și necesită o putere de comandă neglijabilă datorită grilei MOS.

Pornind de la observațiile de mai sus, cercetătorii au încercat sintetizarea pe o aceeași pastilă de siliciu a unui dispozitiv compus care să preia avantajele tranzistoarelor bipolare și ale tranzistoarelor unipolare de tip MOSFET. În urma acestor eforturi a rezultat **tranzistorul bipolar cu grilă izolată** numit pe scurt **IGBT** (*Insulated Gate Bipolar Transistor*). Este evident că noul dispozitiv nu a putut egala 100% performanțele „părinților” în ceea ce privește saturația profundă și viteza de comutație.

Tranzistorul de tip IGBT a fost lansat separat pe piața semiconductoarelor de putere în anul 1982. În Fig.5.3 este prezentată evoluția în timp a simbolului unui tranzistor IGBT cu canal de tip *n*. Primul simbol din Fig.5.3(a) a circulat cu precădere la început, după lansarea pe piață a IGBT-ului și prezintă tranzistorul asemeni unui

MOSFET. Singura deosebire față de simbolul tranzistorului MOSFET cu canal de tip n constă în prezența unei săgeți al cărei vârf indică sensul de injecție a sarcinilor din stratul suplimentar p^+ . Dacă se utilizează acest simbol, terminalele de forță vor căpăta denumirea de *drenă* (D), respectiv *sursă* (S), iar curentul prin tranzistor va fi *de drenă* (i_D). Simbolurile din Fig.5.3(b) și (c), prezintă tranzistorul IGBT ca o structură MOS în partea de comandă și ca o structură bipolară în partea de forță. Dacă se utilizează aceste simboluri terminalele de forță vor căpăta denumirea de *colector* (C), respectiv *emitor* (E), iar curentul prin tranzistor va fi *de colector* (i_C). Pentru toate simbolurile utilizate terminalul de comandă poartă denumirea de *grilă* și este notată cu G .

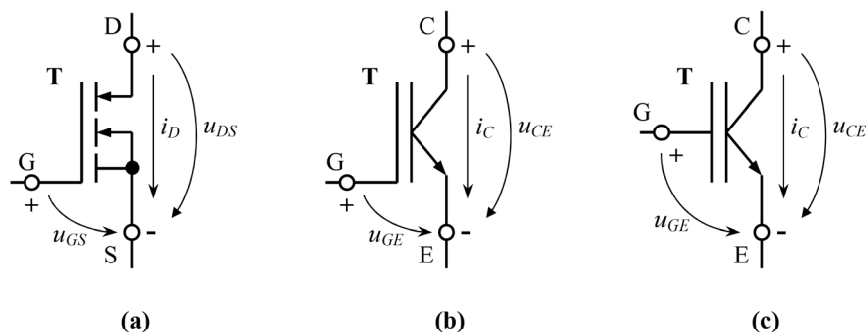


Fig. 5.3 Variante de simboluri pentru tranzistorul IGBT cu canal de tip n .

De când a fost lansat pe piață tranzistorul IGBT a avut o ascensiune în forță, fiind preferat în tot mai multe aplicații. IGBT-ul este o adevărată locomotivă pentru electronica de putere provocând o dezvoltare fără precedent a acestui domeniu, atât prin simplificarea structurilor de forță, cât și prin creșterea performanțelor de conversie a energiei electrice. În prezent, a treia generație a tranzistoarelor IGBT construite în structură „*trench*”, pot obține performanțe în tensiune și în curent de până la 6.5kV și 2500A, comparabile cu ale GTO-urilor care dețineau supremația la acest capitol. Dacă se iau în considerație frecvența ridicată de la lucru, comparativ cu GTO-ul și ușurința cu care este comandat se explică preferința proiectanților și a utilizatorilor pentru acest tip de semiconductor de putere controlabil.

Structura semiconductoră a tranzistoarelor IGBT este aproape identică cu a tranzistoarelor MOSFET. De exemplu, singurul element care diferențiază un IGBT cu canal de tip n de un MOSFET având un același tip de canal este stratul suplimentar p^+ numit *de injecție* care se așază în partea drenei peste stratul de tip n^+ , așa cum se prezintă în Fig.5.4. Rolul stratului suplimentar p^+ este de a furniza purtători minoritari (goluri – sarcini pozitive) ce vor fi injectați în regiunea de *drift* (n^-) pentru a-i crește conductivitatea. Pe de altă parte, în regiunea de *drift* sosesc electroni (sarcini negative) de la emitor (sursă) pe traseul canalului de conducție indus prin efect de câmp. Astfel, curentul prin tranzistorul IGBT prezintă un caracter bipolar deoarece apare în urma

deplasării simultane a sarcinilor pozitive și negative care se întâlnesc și se neutralizează parțial în regiunea de *drift*.

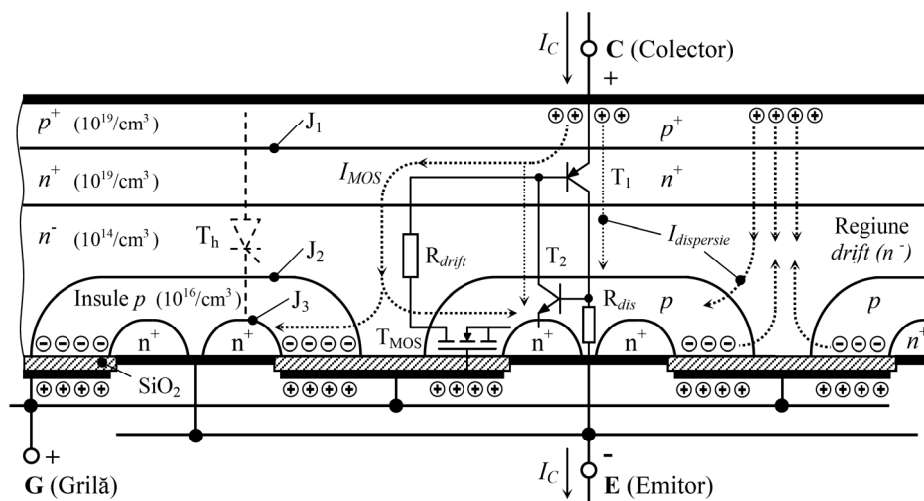


Fig. 5.4 Structura semiconductoare a unui tranzistor IGBT planar cu canal de tip *n*.

Modularea conductivității regiunii de drift prin care este scăzută substanțial rezistența de conducție și caracterul bipolar al curentului, diferențiază tranzistorul IGBT de tranzistorul MOSFET de putere. La un tranzistor MOSFET căderea de tensiune în regiunea de *drift* domină pierderile în conducție și prin micșorarea rezistenței acestea la un IGBT va crește semnificativ capacitatea de încărcare a tranzistorului.

Atunci când tranzistorul IGBT este blocat tensiunea directă colector-emitor ($u_{CE} > 0$) este preluată de joncțiunea J_2 (n^-p), polarizată invers. Dacă nivelul dopării precum și grosimea regiunii de *drift* (n^-) sunt bine optimizate, astfel încât la o polarizare directă a tranzistorului cu tensiunea maximă de catalog stratul de golire din această regiune nu atinge granița ei, atunci **stratul tampon n^+ poate să lipsească**. Se obține în acest fel tranzistorul **IGBT simetric** numit în literatura engleză de specialitate și **NPT-IGBT (Non Punch Through IGBT)**. Pe lângă avantajul simplificării structurii semiconductoare și implicit a procesului de fabricație **IGBT-ul simetric aduce și avantajul blocării unor tensiuni inverse ridicate**. Este o caracteristică ce lipsește tranzistoarelor bipolare și MOSFET de putere, de unde posibilitatea ca dispozitivul NPT-IGBT să fie utilizat în aplicații de curent alternativ. Capacitatea de blocare a tensiunilor inverse este obținută prin transformarea joncțiunii J_1 dintr-o joncțiune p^+-n^+ într-o joncțiune p^+-n^- ce poate susține tensiuni inverse mari. În acest fel, regiunea de *drift* joacă rol de blocare, atât pentru tensiunile directe, cât și pentru tensiunile inverse aplicate tranzistorului IGBT.

Pe de altă parte, **prin prezența stratului tampon n^+** cu o grosime optimă și un nivel al dopajului bine ales se pot obține următoarele **avantaje** pentru un tranzistor IGBT:

- diminuarea căderii de tensiune pe dispozitivul aflat în conducție;
- scurtarea timpului de blocare al tranzistorului.

Tranzistoarele IGBT a căror structură includ stratul tampon n^+ se numesc **asimetrice** sau **PT-IGBT (Punch Through IGBT)**. Dezavantajul lor constă în reducerea semnificativă a capacității de blocare inversă datorită tensiunii mici de străpungere a joncțiunii J_1 având ambele straturi puternic dopate ($p^+ - n^+$).

Așa cum reiese din structura prezentată în Fig.5.4 **schema echivalentă** completă a unui tranzistor IGBT cuprinde un tranzistor de tip MOSFET (T_{MOS}) și două tranzistoare bipolare (T_1, T_2) – Fig.5.5(a).

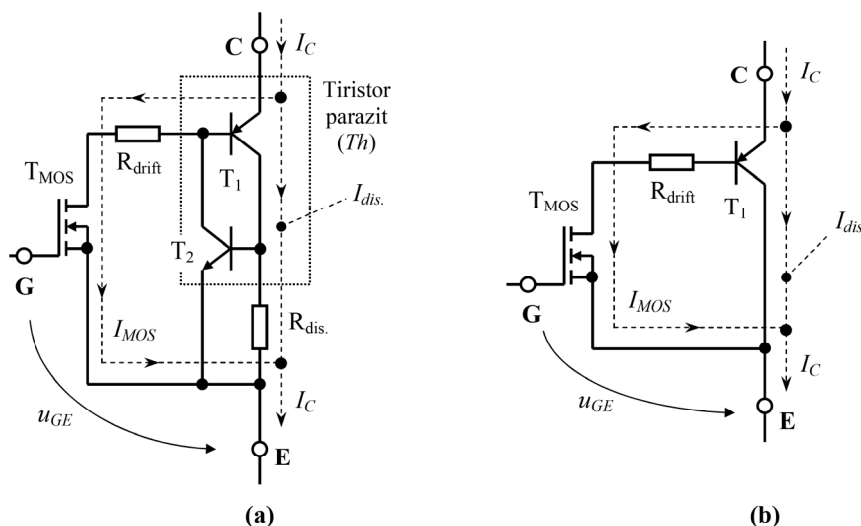


Fig. 5.5 Schema echivalentă a unui tranzistor IGBT: (a) forma completă; (b) forma simplificată.

Existența tiristorului parazit T_h este sugerată de modul de conectare a celor două tranzistoare bipolare T_1, T_2 . Dacă sunt luate măsuri suficiente pentru evitarea deschiderii tiristorului parazit (evitarea fenomenului de *agățare*) se poate face abstracție de tranzistorul bipolar T_2 și rezistența de dispersie laterală R_{dis} . Rezultă, astfel, **schema echivalentă simplificată** a tranzistorului IGBT, așa cum se prezintă în Fig.5.5(b). Aceasta modelează IGBT-ul cu o structură Darlington formată dintr-un tranzistor MOSFET având rol de *driver* și un tranzistor bipolar de putere. În realitate, tranzistorul T_{MOS} echivalează un număr important de microtranzistoare MOS legate în paralel, toate contribuind la comanda în bază a tranzistorului principal T_1 de tip *pnp*.

O creștere importantă a curentului printr-un tranzistor IGBT s-a obținut modificând tehnologia de fabricație care a mărit semnificativ densitatea tranzistoarelor IGBT elementare dintr-o pastilă de siliciu. Noua tehnologie renunță la structura semiconductoare de tip **planar** și utilizează structura semiconductoare de tip **trench**. Aceasta constă în modificarea poziției stratului de inversie de la suprafața discului de siliciu pe o direcție perpendiculară, în adâncimea materialului semiconductor. Fig.5.6 prezintă modul în care sunt reconfigurate celulele MOS din structura de tip *trench* a IGBT-ului construind grila sub forma unor șanțuri care străpung corpul canalului *p*.

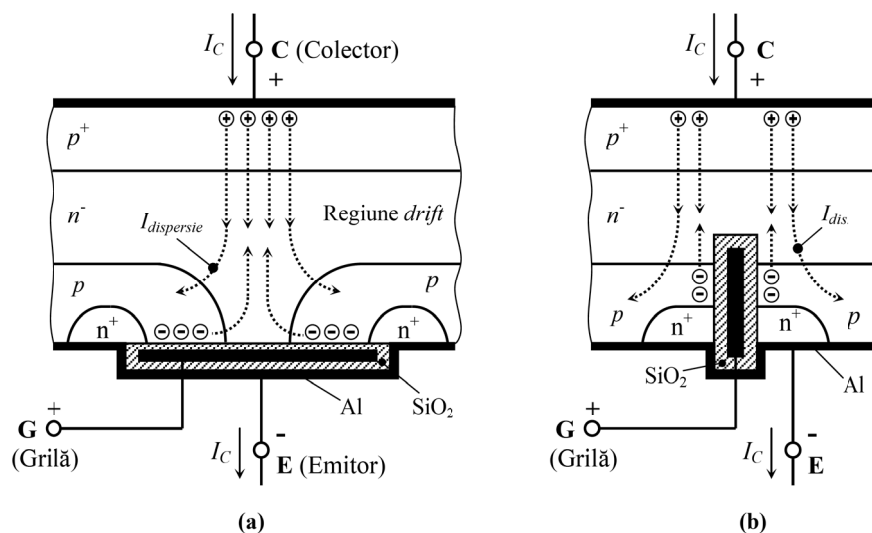


Fig. 5.6 Structura semiconductoare de tip planar (a) în comparație cu structura semiconductoare de tip *trench* (b) a unui tranzistor IGBT simetric.

Un NPT-IGBT cu structură de tip *trench* din generația a 3-a poate prelua un curent mai mare cu 50% decât un NPT-IGBT cu structură de tip planar din generația a 2-a având o aceeași pastilă de siliciu. Acest câștig se explică printr-o valorificare superioară a secțiunii materialului semiconductor și printr-o uniformizare a densității de curent pe secțiunea transversală a pastilei de siliciu.

Mecanismul de control și funcționare al structurii semiconductoare este asemănător cu cel descris la tranzistorul MOSFET de putere. Blocarea directă și inversă este asigurată de joncțiunile J_2 , respectiv J_1 .

Caracteristicile statice $u-i$ ale tranzistorului IGBT sunt asemănătoare cu cele ale tranzistorului MOSFET de putere prezentate în Fig.5.2 cu precizarea că denumirile terminalelor de forță sunt altele și tranzistorul IGBT simetric are capacitate de blocare inversă a tensiunii. Astfel, în Fig.5.7(a), sunt prezentate caracteristicile $u_{CE} = f(i_C)$,

având ca parametru tensiunea de grilă u_{GE} pentru un tranzistor IGBT simetric (NPT-IGBT) care prezintă capacitatea de blocare inversă. Dacă se utilizează un tranzistor IGBT asimetric (PT-IGBT) se va considera doar cadranul I al sistemului de axe u_{CE} - i_C . În Fig.5.7(b) sunt prezentate caracteristicile ideale și aria de funcționare sigură doar în cazul unei polarizări directe.

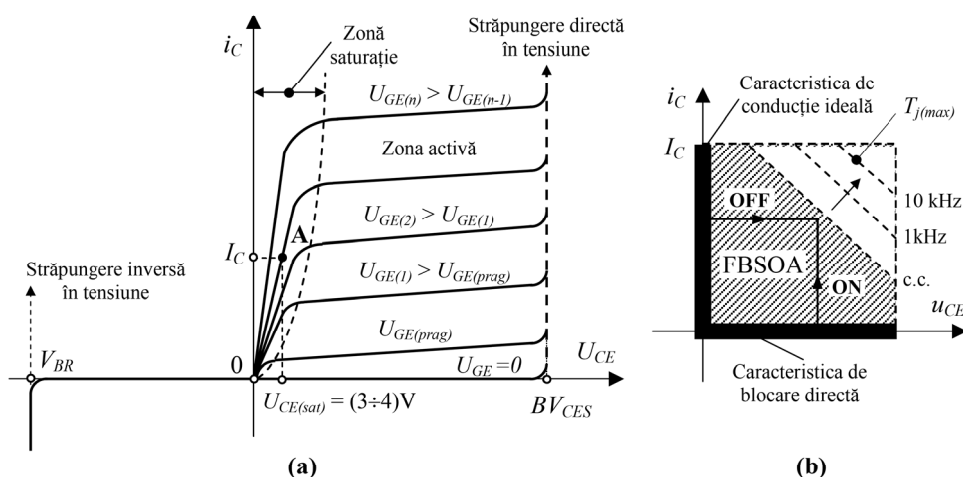


Fig. 5.7 (a) Caracteristicile u - i reale pentru un tranzistor IGBT; (b) Caracteristicile u - i idealizate și aria de funcționare sigură în cazul polarizării directe (FBSOA).

Dacă tranzistorul este polarizat invers ($u_{CE} < 0$) curentul de colector este zero atât timp cât tensiunea se menține sub valoarea de străpungere inversă V_{BR} (Reverse Breakdown Voltage). Atunci când este depășită această valoare apare fenomenul de străpungere inversă a dispozitivului care poate conduce la distrugerea acestuia. Din acest motiv trebuie avut grijă ca în aplicațiile de c.a. tensiunea inversă aplicată tranzistoarelor IGBT să nu depășească valoarea maximă sugerată de catalog - V_{RRM} (Maximum Repetitive Reverse Voltage). În structurile alimentate cu tensiuni continue tranzistoarele IGBT sunt prevăzute cu diode de descărcare ce exclud apariția unor tensiuni inverse pe dispozitiv. Pentru asemenea aplicații nu este necesară o evaluare a capacității de blocare inversă a tranzistoarelor IGBT.

În condițiile unei polarizări directe, dacă tranzistorul IGBT nu este comandat, punctul de funcționare se plasează pe caracteristica de blocare directă ($i_C = 0$). Dacă, însă, tensiunea colector-emitor (V_{CE}) depășește valoarea de străpungere directă BV_{CES} (Collector-Emitter Breakdown Voltage, gate-emitter Short circuited) apare fenomenul de străpungere directă și curentul de colector crește până la valoarea limitată de rezistența circuitului în care se află tranzistorul. Și deschiderea necontrolată trebuie evitată deoarece pot apare fenomene care distrug dispozitivul.

Deschiderea controlată a tranzistorului MOSFET este realizată atunci când tensiunea de grilă depășește valoarea de prag. În Fig.2.26(a) sunt prezentate mai multe

caracteristici statice pentru diferite valori ale tensiunii de comandă, cuprinse într-un interval recomandat de firma producătoare a dispozitivului:

$$U_{GE(prag)} < U_{GE(1)} < U_{GE(2)} < \dots < U_{GE(n-1)} < U_{GE(n)} \leq U_{GE(max)} \quad (5.5)$$

Ca și în cazul tranzistorului MOSFET de putere, datorită grosimii foarte mici a stratului izolator dintre grilă și semiconductor nu sunt permise tensiuni grilă-emitor peste $U_{GS(max)} = 20V$. Pentru deschiderea tranzistoarelor IGBT se recomandă tensiunea de comandă standard a dispozitivelor semiconductoare cu grilă MOS, respectiv valoarea de 15V. Această valoare asigură vehicularea unui curent de colector de până la 10 ori curentul nominal, fără ca tranzistorul să intre în zona activă.

Căderile de tensiune de pe tranzistoarele IGBT saturate pot fi neglijate în analiza schemelor de forță care lucrează cu tensiuni de sute sau mii de volți. În consecință, se poate considera că punctul **A** de funcționare poate fi așezat pe o caracteristică ideală de conducție, așa cum se prezintă în Fig.5.7(b). Denumirea de *zonă de saturație* dorește să evidențieze faptul că procesul de conducție într-un tranzistor IGBT are un caracter bipolar, în ciuda faptului că structura semiconductoare seamănă mai mult cu cea a unui tranzistor MOSFET de putere. În plus, denumirea este justificată și de simbolul modern al IGBT-ului care privește partea de forță ca un tranzistor bipolar pentru care trebuie folosită terminologia specifică.

Caracteristica de conducție este limitată de curentul maxim de colector pe care poate să îl susțină un IGBT în mod continuu, fără să fie afectat. Acesta se notează cu I_{CM} și este un parametru de catalog. *Tranzistorul IGBT prezintă un coeficient de temperatură aproximativ neutru* (nu apar modificări semnificative ale tensiunii $U_{CE(sat)}$ odată cu creșterea temperaturii semiconductorului). În consecință, IGBT-ul nu se poate distruge prin ambalare termică. Din acest punct de vedere, ***tranzistorul IGBT este un dispozitiv foarte robust la curenți de scurt circuit***. Această trăsătură deosebită este confirmată de firmele producătoare și numeroase laboratoare de cercetare, în cataloage și articole științifice. Pe baza acestora, se poate afirma că un ***IGBT suportă curenți importanți de scurt circuit fără a se distruge termic un timp de (7÷10) μsec***.

În Fig.5.7(b) s-a prezentat doar *aria de funcționare sigură* (*suprafață de funcționare permisă*) pentru cazul în care tranzistorul IGBT lucrează numai polarizat direct (*FBSOA – Forward Bias Safe Operating Area*). Sunt rare cazurile în care IGBT-urile simetrice lucrează în aplicații de c.a. supuse unor polarizări inverse. Suprafața hașurată cuprinsă între caracteristica de blocare, caracteristica de conducție, și limitele impuse de curentul maxim I_{CM} , respectiv tensiunea de străpungere directă BV_{CEs} , este aria de funcționare sigură corespunzătoare unei funcționări continue a tranzistorului IGBT. Dacă tranzistorul funcționează în comutație cu o anumită frecvență și cu o anumită durată relativă de conducție aria suferă o extensie odată cu mărirea frecvenței de lucru, în sensul arătat de săgeata din figură.

4. Considerații generale asupra comenzii tranzistoarelor de putere cu grilă MOS

Dispozitivele semiconductoare de putere cu grilă MOS au terminalul de comandă izolat de structura semiconductoare prin intermediul unui strat subțire de oxid (SiO_2). Toate aceste dispozitive sunt comandate în tensiune prin care se induce *efectul de câmp* pe baza căruia se inițiază sau are loc conducția dispozitivului.

Comanda în tensiune **nu** presupune doar o simplă polarizare a terminalului de grilă, fără nici un consum de putere. Combinația metal-oxid-semiconductor se constituie, de fapt, într-un condensator echivalent care trebuie, mai întâi, încărcat pentru a obține un anumit nivel al tensiunii pe grilă. Aceasta constă în aducerea unei anumite cantități de sarcini electrice pe armătura metalică a grilei, fapt care se poate obține prin intermediul unui curent electric. Din acest motiv curentul de grilă există doar pe durata regimurilor tranzitorii de deschidere sau blocare, în restul intervalului de lucru al dispozitivului MOS curentul de comandă este zero, deci nu se consumă putere. Dacă se ia în considerare și faptul că valoarea capacității echivalente de grilă este scăzută (sute pF÷nF) și nivelul tensiunilor de comandă este în jur de 15V rezultă că energia vehiculată într-un ciclu de funcționare pentru deschiderea și blocarea dispozitivului este neglijabilă. Pentru o frecvență de comutație de ordinul kHz într-o secundă avem un consum de putere sub 1mW. La nivelul întregului circuit de comandă, chiar și pentru frecvențe de comutație ridicate de sute de kHz, puterile consumate sunt de cel mult sute de mW.

Circuitele de comandă pentru tranzistoarele cu grilă MOS pot fi referite scurt cu noțiunea de **driver**, denumire utilizată și pentru circuitele de comandă a tranzistoarelor bipolare de putere. Funcțiile specifice sunt și ele aceleași cu precizarea că, *driver*-ele pentru tranzistoare cu grilă MOS fiind realizate în majoritatea cazurilor cu integrate specializate, funcțiile s-au dezvoltat căpătând extensii și trăsături inteligente.

Pentru comanda tranzistoarelor cu grilă MOS și canal de tip n este necesară o tensiune pe grilă pozitivă de $+(10\div 15)V$ pentru deschidere și o tensiune negativă de $-(5\div 15)V$ pentru blocare. Aceste tensiuni de comandă trebuie să fie prezente pe toată durata conducției sau a blocării. Conform celor prezentate în paragrafele anterioare, pentru deschiderea totală a tranzistorului este recomandată tensiunea de grilă standard de +15V. Teoretic, pentru blocare este suficient ca tensiunea de grilă să fie zero, sub valoarea de prag: $U_{GS(prag)} (U_{GE(prag)}) = (2\div 4)V$. În practică, se preferă o tensiune negativă suficient de mare pentru a putea rejecta eventuale tensiuni perturbatoare induse în firele de legătură dintre circuitul de comandă și dispozitivul de putere. Pentru siguranță firele trebuie să fie întotdeauna torsadate.

În funcție de rapiditatea cu care este încărcată și descărcată capacitatea de grilă poate fi reglată viteza de intrare în conducție, respectiv viteza de blocare a dispozitivului cu grilă MOS. Din acest motiv un parametru important al *driver*-ului este constanta de timp a circuitului de grilă. Deoarece capacitatea echivalentă a grilei MOS este deja fixată, rezultă ca mărimea prin care se poate interveni asupra constantei de timp este rezistența de grilă. Astfel, ***prin intermediul rezistenței de grilă R_G se pot fixa amplitudinea maximă a curentului de grilă și duratele de regim tranzitoriu.***

Pentru alegerea valorii rezistenței de grilă trebuie optimizate următoarele cerințe contradictorii:

- Alegerea unei rezistențe de grilă cât mai mici pentru a micșora pe cât posibil timpii de regim tranzitoriu în scopul minimizării pierderilor de comutație la nivelul dispozitivului și utilizării acestuia la frecvențe de lucru cât mai ridicate;
- Creșterea rezistenței de grilă până la o valoare pentru care vârful din forma de undă a curentului de grilă $i_G(t)$ ($\hat{I}_G$ - vezi Fig.2.28) nu depășește capacitatea maximă a tranzistorelor de mică putere din etajul final al *driver*-ului.
- Limitarea la minim a rezistenței de grilă astfel încât pantele curentului prin dispozitiv să nu depășească valoarea maximă de catalog: $di/dt < (di/dt)_{max}$
- Alegerea rezistenței de grilă astfel încât la blocare panta de descreștere a curentului să nu provoace supratensiuni importante în scopul eliminării circuitelor de protecție du/dt .

Referitor la cerințele de mai sus trebuie făcute câteva precizări. În primul rând, la dispozitivele de putere mare (tranzistoare IGBT), datorită capacității de grilă mari, sunt necesari curenți importanți de grilă pentru o comutație în timpi rezonabili. De exemplu, în cazul unui IGBT având tensiunea nominală peste 1000V și curenți de sute de amperi sunt necesari curenți de grilă având maximum de $\hat{I}_G = (7 \div 15)A$. Pentru a putea face față unor asemenea vârfuri repetitive de curent, integratul de comandă se completează cu un etaj final amplificator capabil să genereze și să suporte aceste impulsuri de curent. Dacă tensiunea de alimentare este în jur de 15V rezistența de grilă trebuie să fie de ordinul a $(2 \div 3)\Omega$ și neinductivă pentru un răspuns în treaptă a curentului.

În al doilea rând, ***pentru a controla separat dinamica de deschidere și cea de blocare se utilizează rezistențe de grilă diferite $R_{G(on)}$, $R_{G(off)}$, așa cum se prezintă în Fig.2.29(b).*** Deoarece la deschiderea dispozitivului nu sunt impuse restricții deosebite se va alege rezistența de grilă $R_{G(on)}$ ținând cont în special de obiectivul minimizării timpului de comutație la deschidere $t_{c(on)}$ și de limitarea vârfului de curent. Rezistența de grilă $R_{G(off)}$ se va alege mai cu atenție ținând cont și de optimizarea pantei de curent la blocarea dispozitivului.

5. Structuri funcționale utilizate în circuitele de comandă ale dispozitivelor semiconductoare de putere cu grilă MOS

Circuitele comandă pentru dispozitivele de putere cu grilă MOS sunt realizate, în variantă modernă, cu circuite integrate sau module specializate. Pe de altă parte, oricât de complete ar fi aceste integrate, ele nu pot funcționa întotdeauna singure, fără nici o schemă adițională. În primul rând, integratele sau modulele specializate sunt concepute pentru a lucra în scheme de montaj prin care să se optimizeze anumiți parametri de funcționare (curent maxim de grilă, timp de răspuns la apariția unor supracurenți, frecvențe de oscilație etc.). Pe de altă parte, în funcție de tipul circuitului specializat și de performanțele aplicației, se pot adăuga și alte scheme cum ar fi: etaje de amplificare, scheme de tratare și captură a defectelor, de separare galvanică și comunicare, scheme START/STOP, de alimentare etc. Toate acestea sunt realizate cu componente discrete de circuit cum ar fi: tranzistoare de mică putere, circuite integrate analogice sau numerice, optocuploare, rezistențe, condensatoare, transformatoare de impuls etc.

În continuare vor fi prezentate, într-o formă generală, câteva scheme tipice utilizate în circuitele de comandă a dispozitivelor cu grilă MOS pentru a înțelege mai ușor structura lor funcțională, precum și modul de funcționare și de utilizare a circuitelor integrate specializate.

a) Etajul final sau etajul de atac al grilei MOS

În Fig.5.8 sunt prezentate două variante de etaje finale ale unui circuit de comandă pentru un tranzistor de putere cu grilă MOS. Elementele de comutație K_{on} și K_{off} prezentate simbolic sub forma unor contacte pot aparține integratelor de comandă sau pot face parte dintr-un etaj separat pentru a obține o amplificare în curent.

Din motive practice s-a luat ca reprezentant al dispozitivelor cu grilă MOS un tranzistor IGBT deoarece are un simbol mai simplu și este unul din cele mai utilizate dispozitive din electronica de putere modernă.

În Fig.5.8(a) se prezintă un etaj final al unui circuit de comandă care utilizează doar o singură rezistență de grilă R_G . Prin valoarea acestei rezistențe se ajustează simultan, atât timpul de deschidere, cât și timpul de blocare a dispozitivului de putere cu grilă MOS. Cele două comutatoare K_{on} și K_{off} sunt tranzistoare de mică putere care, la rândul lor, pot fi de tip bipolar sau de tip MOSFET, singulare sau în montaj Darlington. De obicei, sunt utilizate tranzistoare complementare conectate într-o structură *totem-pole*, așa cum este prezentat în Fig.5.9. Conform celor arătate aceste tranzistoare trebuie să suporte pulsuri de curent. Dacă etajul este integrat într-un circuit specializat specificația de catalog a acestuia prevede curentul maxim de vârf ($\hat{I}_{max}$) pe care poate să-l furnizeze. În funcție de acest parametru și de valoarea tensiunii de grilă U_{G+} se va calcula limita minimă a rezistenței de grilă:

$$R_{G(\min)} = U_{G+} / \hat{I}_{\max} \quad (5.6)$$

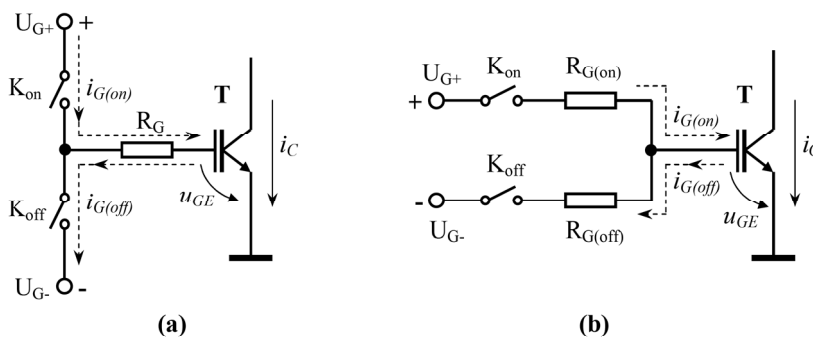


Fig. 5.8 Variante ale unor etaje finale de atac a grilei MOS: (a) cu o singură rezistență de grilă; (b) cu rezistențe de grilă distincte pentru deschidere și blocare.

Dacă etajul final este unul amplificator care trebuie realizat separat de *driver*-ul integrat, se vor alege cele două tranzistoare T_{on} , T_{off} în funcție de amplitudinea impulsurilor de curent repetitive necesare semiconductorului de putere pentru a comuta în timpii specificați de catalog.

Fig.5.8(b) prezintă un etaj final cu două rezistențe de grilă distincte $R_{G(on)}$, $R_{G(off)}$. Și această configurație poate fi implementată cu ajutorul integratelor specializate de comandă sau poate fi realizată separat, ca etaj adițional de amplificare în cazul dispozitivelor de putere mare. În acest din urmă caz structura *totem-pole* formată din cele două tranzistoare bipolare complementare se poate utiliza în variantele din Fig.5.9.

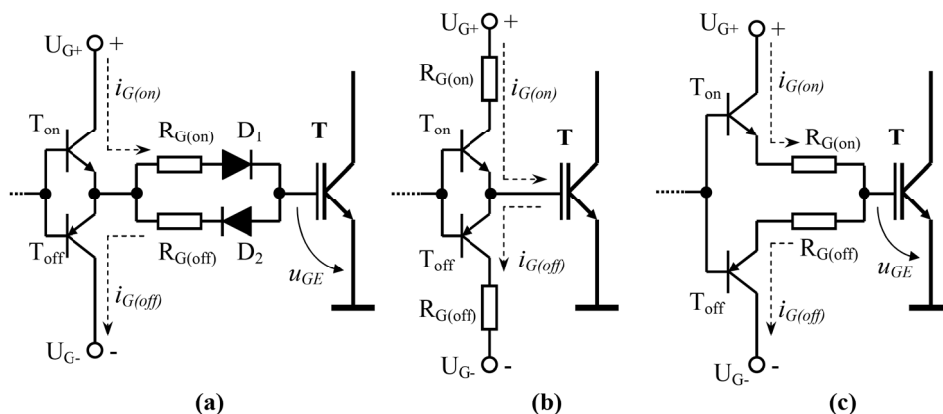


Fig. 5.9 Adaptarea structurii *totem-pole* pentru comanda cu două rezistențe a grilei unui tranzistor MOS de putere.

Prin intermediul rezistențelor diferite de grilă se pot controla separat viteza de intrare în conducție, respectiv viteza de blocare a dispozitivului de putere. Alegerea valorii celor două rezistențe $R_{G(on)}$, $R_{G(off)}$ se va face ținând cont de criteriile prezentate în secțiunea anterioară.

b) Structuri de protecție

Pentru implementarea funcției de protecție la supracurenți a tranzistorului de putere *driver*-ele integrate includ circuite comparatoare cu ajutorul cărora pot fi monitorizate căderile de tensiune de pe șunturile înseriate cu tranzistorul de putere sau de pe tranzistorul de putere aflat în conducție. În Fig.5.10 este prezentat un circuit de protecție care utilizează efectul desaturării pentru a sesiza apariția unui curent de scurt circuit. Este o metodă modernă și avantajoasă deoarece exclude senzorii sau traductoarele de curent, scumpe și pretențioase. În cataloagele circuitelor specializate este referită cu titulatura de protecție DESAT (*DESATuration protection*).

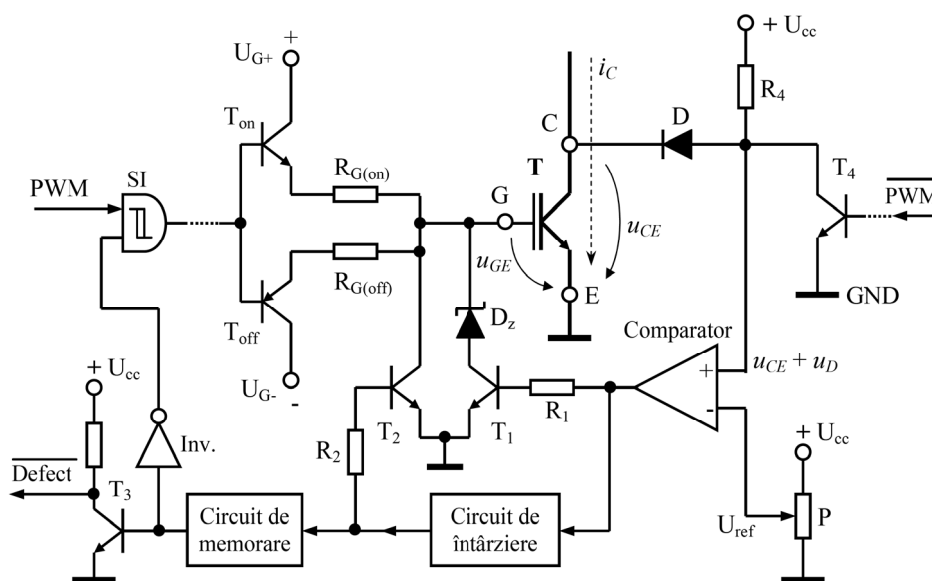


Fig. 5.10 Structură de protecție la scurt circuit care utilizează efectul desaturării tranzistorului de putere.

Elementul principal, care ia decizia de blocare a tranzistorului de putere, este comparatorul. La una din intrările acestuia se aplică o tensiune de referință U_{ref} cu valoarea cuprinsă, de regulă, în intervalul (7÷15)V. La cea de-a doua intrare se aplică un potențial dat de căderea de tensiune pe tranzistorul aflat în conducție plus o mică tensiune dată de joncțiunea diodei D: $u_{CE} + u_D$. Atunci când curentul prin tranzistor

depășește o valoare maximă ($i_C > I_{CM}$) aceasta părăsește zona de saturație (sau zona ohmică la MOSFET) intrând în zona activă. Acest fenomen numit **desaturare** provoacă o creștere a tensiunii pe tranzistor care, mai departe, determină bascularea comparatorului.

După ce comparatorul a lucrat se deschide tranzistorul T_1 care va diminua potențialul grilei MOS (u_{GE}) la pragul dat de dioda zener Dz , pregătind dispozitivul de putere pentru blocare. Dacă tensiunea de pe tranzistor (u_{CE}) se păstrează ridicată un anumit interval de timp, fapt care exclude eventualitatea unei perturbații trecătoare, circuitul de întârziere va comanda blocarea totală a tranzistorului de putere prin deschiderea lui T_2 care lega grila la masă.

Unele circuite de comandă sunt prevăzute cu circuite *de captură (de memorare) a defectului*. Acestea sunt capabile să centralizeze mai multe situații de defect de la nivelul unui *driver* (scăderea tensiunilor de alimentare – *undervoltages lookout -UVLO*, dispariția tensiunii negative de blocare etc.), să le memoreze și să blocheze dispozitivele de putere pentru un timp nedefinit, până la deblocarea voită de operatorul uman. În schema din Fig.5.10 circuitul de memorare a defectului va stopa semnalul de comandă PWM cu ajutorul unui circuit logic SI. În același timp, circuitul de captură a defectului va deschide tranzistorul T_3 care va coborî potențialul din colectorul său în 0L, fapt ce corespunde unei activări a semnalului de *defect*. Prin acesta se evidențiază în exterior o situație de avarie în structura de forță. În cazul *driver*-elor integrate tranzistorul T_3 este, de obicei, cu colector în gol ceea ce permite legarea în paralel a acestora, într-o structură de SAU logic, pentru a cumula în același loc informațiile de defect provenite de la mai multe circuite de comandă.

Sunt și *driver*-e integrate la care se memorează defectul și se blochează tranzistorul de putere doar pe durata perioadei curenți de comutație. La începutul unei noi perioade circuitul de memorare este resetat automat de fronturile semnalului de comandă PWM. Pentru asemenea circuite este bine să se construiască în exterior un circuit de captură deoarece o deschidere repetată a tranzistorului în condiții de scurt circuit poate conduce la distrugerea termică a acestuia.

Trebuie precizat că circuitul de protecție trebuie să monitorizeze căderea de tensiune pe tranzistorul de putere doar în intervalul de conducție a acestuia. În caz contrar, pe intervalul în care dispozitivul este blocat tensiunea de pe tranzistor este în mod normal ridicată (tensiunea de polarizare directă), ceea ce ar corespunde la o situație artificială de defect. Din acest motiv, integratele de comandă activează blocul de protecție la supracurenți după ce a fost trimisă comanda de deschidere a dispozitivului de putere. În Fig.5.10 această trăsătură este implementată cu ajutorul tranzistorului T_4 a cărui stare este controlată de semnalul de comandă inversat ($\overline{PWM}$). Astfel, atunci când dispozitivul de putere este blocat, tranzistorul T_4 pune intrarea neinversoare a comparatorului la masă. Dacă tranzistorul T_4 ar lipsi, pe intrarea neinversoare a comparatorului ar fi aplicat potențialul sursei $+U_{cc}$ deoarece dioda D este polarizată invers de tensiunea ridicată, blocată de tranzistorul de putere T . Legat de acest aspect, trebuie corelată tensiunea inversă de catalog a diodei D cu

tensiunea din partea de forță. De asemenea, dioda D trebuie să fie rapidă pentru ca timpii de comutație ai acesteia să corespundă cerințelor unui circuit de protecție.

Un alt aspect important care trebuie luat în considerație atunci când se concepe circuitul de protecție este legat de viteza cu care trebuie blocat dispozitivul de putere în cazul apariției unui curent de scurt circuit. Având în vedere amplitudinea mare a acestuia, o blocare foarte rapidă determină o pantă mare de cădere di/dt și implicit, apariția unor supratensiuni de comutație ridicate. În acest caz o acțiune pripită de a evita distrugerea termică ar putea conduce la o străpungere în tensiune a tranzistorului de putere. Din acest motiv blocarea unui tranzistor în regim de scurt circuit trebuie făcută uneori cu o viteză mai mică decât în regim normal de funcționare. Pentru aceasta, circuitele de protecție trebuie să deschidă ramuri de circuit care să coboare mai lent potențialul grilei decât ar face-o ramura pe care se află rezistența de grilă $R_{G(off)}$. Această tehnică de blocare este implementată în schema din Fig.5.10 care prezintă un circuit protecție la supracurenți care acționează în doi pași succesivi. Mai întâi este coborât potențialul grilei aducând tranzistorul de putere la granița dintre zona de saturație și zona activă după care, în pasul al doilea, este coborât potențialul grilei la nivelul masei (GND).

Protecția la suprasarcină poate fi implementată utilizând senzori de curent. Cea mai simplă și mai ieftină variantă constă în utilizarea unui șunt înseriat cu dispozitivul de putere sau cu o structură formată din mai multe dispozitive. Protecția simultană a unui grup de tranzistoare se utilizează, de obicei, în cazul structurilor în punte H sau punte trifazată pe traseul în care acestea sunt alimentate cu tensiuni continue.

Pentru ca tensiunea de pe șunt să fie strict proporțională cu valoarea curentului prin dispozitiv ($u_{\text{șunt}} = R_{\text{șunt}} \cdot i_C$) senzorul trebuie să fie neinductiv. În plus, trebuie să fie bine calibrat pentru o precizie ridicată și să prezinte o rezistență foarte mică, de ordinul $(0.01 \div 0.1)\Omega$ pentru a nu avea pierderi importante de putere la nivelul acestuia. Aceste caracteristici stricte pot fi obținute numai prin procese de fabricație complexe, verificate. Se impune, așadar, achiziționarea șunturilor de la firme specializate. Titulatura lor este de rezistențe *LVR* (*Low Voltage Resistance*). Valorile mici ale rezistențelor permite a fi utilizate la curenți de ordinul zecilor de amperi. Pentru curenți mai mari, de ordinul sutelor de amperi este indicat să se utilizeze traductoare de curent rapide (ex. cu efect Hall) pentru a evita creșterea puterii șuntului peste o anumită valoare (ex. $10 \div 15W$). În scopul disipării eficiente a puterii transformate în căldură, unele rezistențe LVR sunt concepute pentru a fi montate pe radiatoare, asigurându-se separarea galvanică cu acestea.

c) Circuite de interfață și de separare galvanică

Convertoarele electronice de putere sau în general sistemele electronice de putere conțin o parte de forță și o parte de comandă și de control. Partea de forță care vehiculează fluxul principal de energie lucrează la tensiuni și potențiale ridicate fiind

supusă unor intense perturbații electromagnetice. Partea de comandă și control lucrează cu semnale reduse ca amplitudine, de tip logic sau analogic. *Driver*-ele dispozitivelor semiconductoare de putere sunt la granița dintre cele două părți. Comunicarea se face în ambele direcții prin intermediul unor semnale logice. Rezultă că, un circuit de comandă va conține la rândul lui un bloc logic capabil să trateze și să prelucraze aceste semnale logice și un bloc de interfață care poate să îndeplinească una sau mai multe din următoarele funcții:

- recepționarea semnalelor logice de comandă de la blocul de control ierarhic superior, reformarea acestora în cazul în care sunt afectate de perturbații și adaptarea nivelului logic la cel cerut de circuitul de comandă a semiconductorului de putere;
- trimiterea unor semnale logice de un nivel corespunzător prin care se comunică în sens invers diferite situații sau stări sesizate de circuitul de comandă;
- realizarea separării galvanice între circuitul de comandă și sistemul numeric de control.

Nu întotdeauna circuitul de interfață realizează funcția de separarea galvanică. În Fig.5.11 este arătată structura unui circuit de comandă care nu realizează funcția de separare galvanică în care s-a evidențiat un bloc al circuitelor de interfață. În cazul în care este necesară o adaptare de nivel logic între semnalele primite de la microsistemul de control (microcontroler) și blocul logic al *driver*-ului se impune alimentarea cu o tensiune diferită a blocului circuitelor de interfață (U_{cc2}), având aceeași amplitudine cu a semnalelor logice figurate (ex. nivel logic TTL).

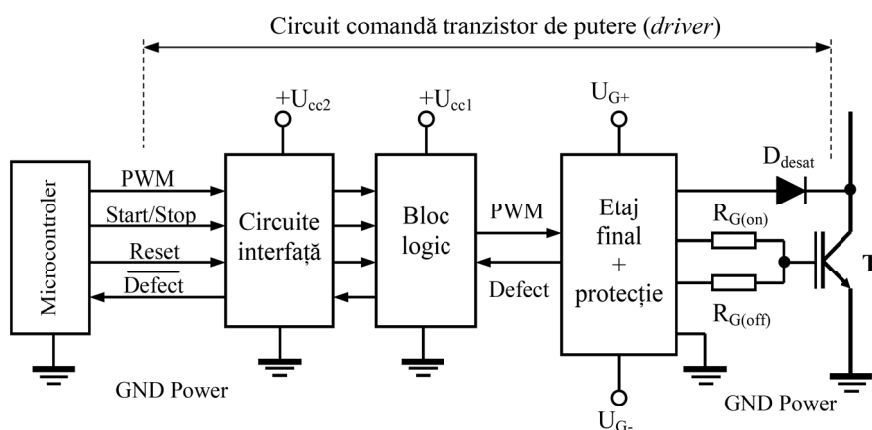


Fig. 5.11 Locul circuitelor de interfață într-o structură de comandă (reprezentată aici fără separare galvanică).

Elementele de separare galvanică, optocuploare sau transformatoare de semnal, pot fi plasate, fie la intrarea circuitului de comandă a dispozitivelor de putere, fie înaintea etajului final de atac pe grilă. În Fig.5.12 este prezentată o variantă la care elementele de separare galvanică (optocuploare) sunt dispuse la intrarea *driver*-ului, acolo unde acesta interfațează cu sistemul numeric de control (microprocesor μP).

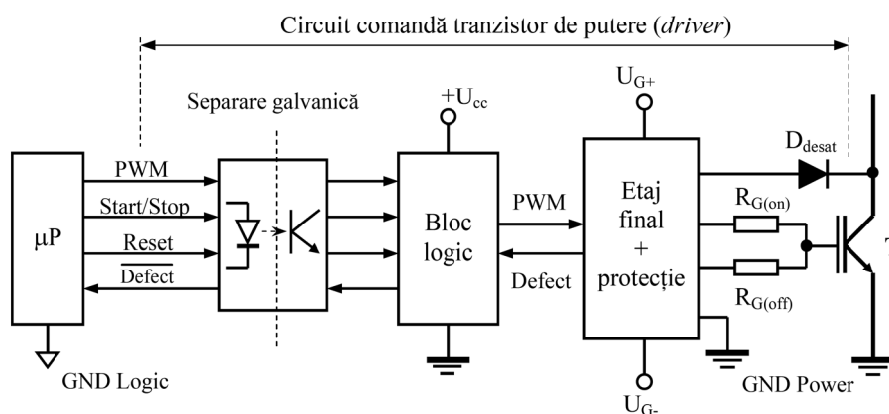


Fig. 5.12 Implementarea funcției de separare galvanică la intrarea circuitului de comandă a tranzistorului de putere

În Fig.5.13 este prezentată o a doua variantă, la care elementele de separare galvanică sunt plasate în interiorul circuitului de comandă a tranzistoarelor de putere, înaintea etajului de atac pe grilă și a schemelor de protecție conectate galvanic la partea de forță. Pentru exemplificare s-a prezentat elemente de separare galvanică de tip transformator.

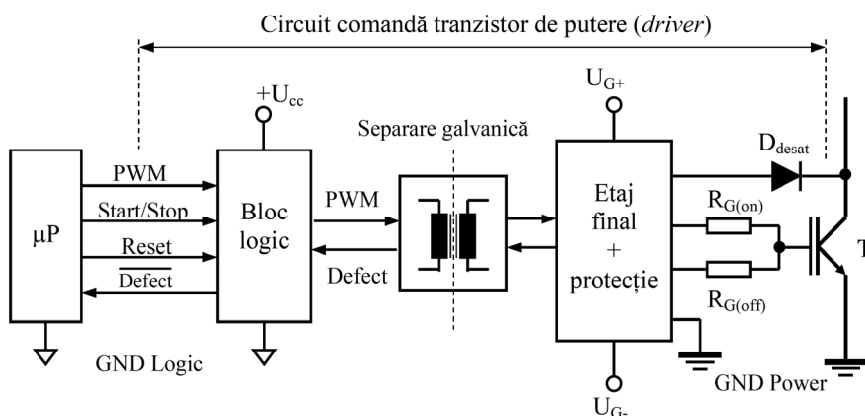


Fig. 5.13 Implementarea funcției de separare galvanică în interiorul circuitului de comandă a tranzistorului de putere

d) Structuri de alimentare ale circuitelor de comandă

Un alt aspect important de care trebuie ținut cont atunci când sunt proiectate circuitele de comandă constă în alegerea variantelor de alimentare și a surselor. În exemplul din Fig.5.14 *driver*-ul poate funcționa dacă se dispune de patru tensiuni diferite: U_{cc1} , U_{cc2} , U_{G+} și U_{G-} . O soluție de a simplifica problema alimentării constă în utilizarea aceluiași tensiuni pozitive, atât în partea logică de prelucrarea a semnalelor, cât și în etajul final ($U_{cc1} = U_{G+}$). Pentru aceasta trebuie să se renunțe la separarea galvanică și trebuie optimizate amplitudinile tensiunilor în scopul unei bune funcționări a ambelor părți. Nu întotdeauna pot fi găsite soluții în acest sens deoarece o schemă complexă de comandă cere anumite tensiuni standard pentru circuitele utilizate în partea logică și alte valori pentru tensiunile de grilă.

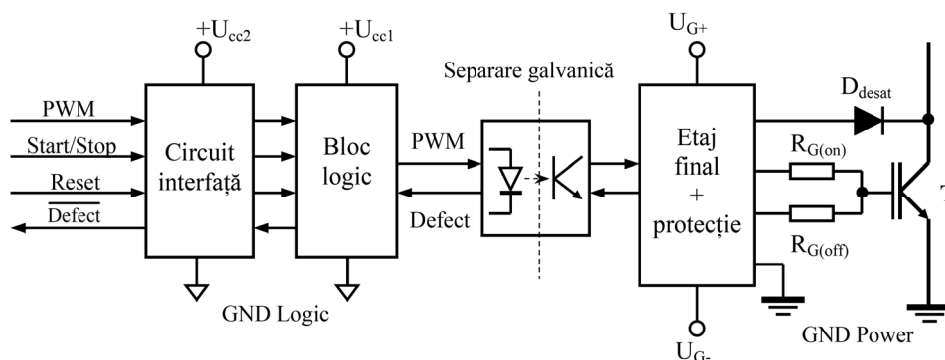


Fig. 5.14 Variantă de alimentare a blocurilor unui circuit de comandă complex.

De exemplu, pentru a obține o amplitudine efectivă de +15V pe grila MOS a dispozitivului de putere, tensiunea U_{G+} trebuie să fie puțin mai mare, pentru a compensa tensiunea de pe tranzistorul T_{on} aflat în conducție:

$$U_{G+} = U_{GE(T)} + U_{CE(Ton)} = +(16 \div 18)V \quad (5.7)$$

Tensiunea de grilă negativă, necesară blocării dispozitivului de putere, se va alege în funcție de nivelul perturbațiilor în sistem și conform celor arătate anterior, poate lua valori în intervalul:

$$U_{G-} = -(5 \div 15)V \quad (5.8)$$

Dacă separarea galvanică se face înaintea etajului final, tensiunile de grilă (U_{G+} , U_{G-}) trebuie să provină de la o sursă izolată de sursa care furnizează tensiunile celorlalte blocuri din circuitul de comandă – Fig.5.13.

Și în partea logică a circuitului de comandă pot fi necesare mai multe tensiuni de alimentare. Este posibil ca anumite blocuri în care este inclus și integratul

specializat să necesite o tensiune de $U_{cc1} = +15V$, iar circuitul de interfață cu sistemul de control din exterior să lucreze cu semnale logice de nivel TTL, $U_{cc2} = +5V$.

Din cele arătate mai sus, se poate afirma că pentru a rezolva problema alimentării unui singur circuit de comandă sunt necesare două surse separate galvanic, din care cel puțin una trebuie să fie capabilă să furnizeze mai multe tensiuni. Problema se complică și mai mult dacă structura de forță conține mai multe tranzistoare de putere. La o parte din aceste tranzistoare terminalul de comandă se raportează la un punct de masă flotant (*floating ground*).

Pentru rezolvarea problemei surselor de alimentare necesare circuitelor de comandă și control dintr-un sistem electronic de putere complex, la dispoziția proiectantului stau două variante:

- Utilizarea unei surse stabilizate multiple cu un număr suficient de ieșiri, separate galvanic. Sursa poate fi liniară cu transformator de rețea având mai multe secundare izolate. Este o soluție clasică ce suferă din punct de vedere al gabaritului, masei și a eficienței energetice. Alternativa modernă constă în utilizarea surselor stabilizate în comutație cu ieșiri multiple izolate, surse care elimină dezavantajele surselor liniare;
- Utilizarea unor integrate sau module specializate de comandă proiectate special pentru a reduce numărul surselor și a tensiunilor de alimentare.

6. Montajul de laborator pentru studiul circuitelor de comandă dedicate tranzistoarelor de putere cu grilă MOS.

Pentru studiul în laborator a aspectelor practice legate de comanda unui singur tranzistor de putere cu grilă MOS se va realiza un montaj a cărui imagine se prezintă în Fig.5.15 și a cărui schemă bloc este prezentată în Fig.5.16.

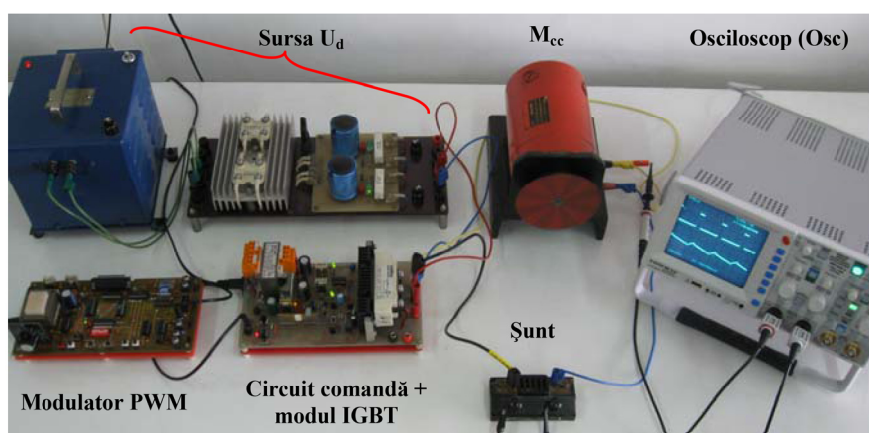


Fig. 5.15 Imaginea montajului de laborator.

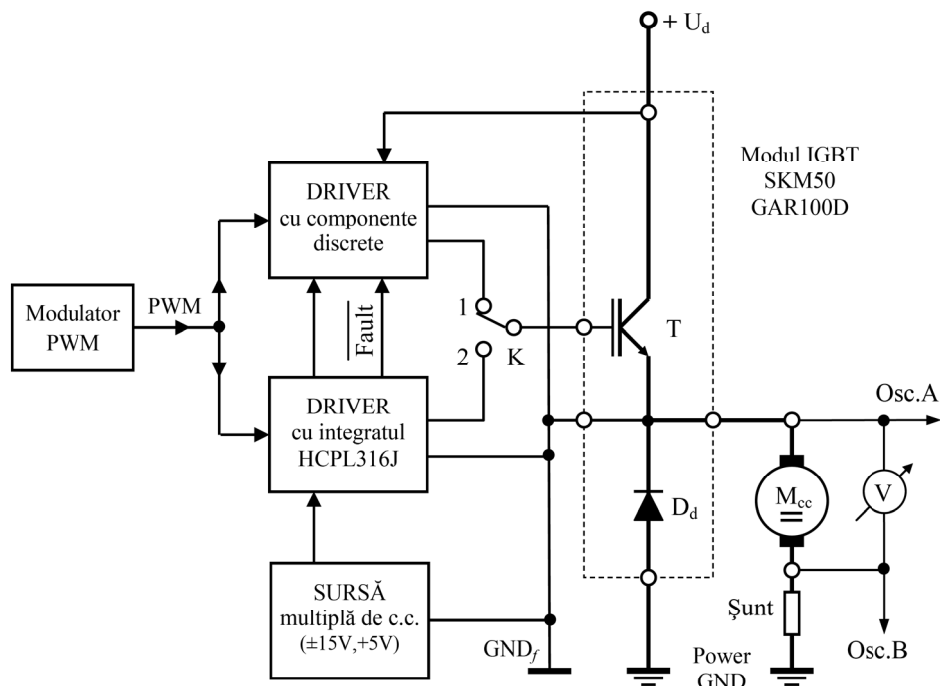


Fig. 5.16 Schema bloc a montajului de laborator.

Montajul de laborator cuprinde ca element principal o placă (un circuit imprimat) pe care s-au plasat o sursă multiplă de c.c., un modul de putere și un circuit de comandă pentru tranzistoare cu grilă MOS format din două *driver*-ere distincte. Imaginea acestei plăci proiectate și realizate în laborator este prezentată în Fig.5.17. Primul *driver* al circuitului de comandă este realizat cu componente discrete (tranzistoare, diode, rezistențe, capacități etc.), iar cel de-al doilea *driver* este realizat cu ajutorul unui integrat specializat HCPL 316J. Acestea au fost realizate pe aceeași placă pentru a pune în evidență dificultatea de a implementa practic un *driver* cu componente discrete în comparație cu simplitatea unui *driver* realizat cu integrate specializate de comandă.

Cele două *driver*-e pot comanda în mod separat tranzistorul T de tip IGBT, tranzistor inclus într-un modul de putere (SKM50GAR100D) împreună cu o diodă de descărcare D_d . Selecția *driver*-ului se poate face prin intermediul unui comutator K . Dacă se poziționează K pe poziția 1 se va comanda tranzistorul de putere cu ajutorul *driver*-ului realizat cu componente discrete, iar dacă se trece K pe poziția 2 se va comanda tranzistorul de putere cu ajutorul *driver*-ului realizat cu integratul specializat. Semnalul logic de comandă aplicat la intrarea fiecărui *driver* este generat de un

modulator PWM pe un nivel logic de 5V. Legatura dintre modulator și circuitul de comandă se realizează printr-un cablu ecranat prevăzut cu conectori la capete. Pe modulator se află un potențiometrul prin intermediul căruia poate fi modificat factorul de umplere al semnalului PWM.

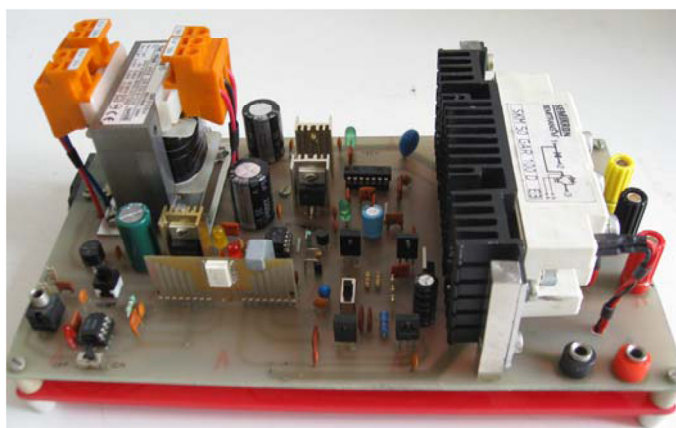


Fig. 5.17 Imaginea circuitelor de comandă, a modului de putere și a sursei multiple de c.c.

Driver-ul integrat HCPL 316J, pe lângă alte funcții (ex. separare galvanică) are și funcția de protecție la supracurenți a tranzistorului de putere comandat. Dacă apare o situație de avarie (*Fault*) **circuitul blochează semnalul de comandă PWM și memorează starea**. Această facilitate poate fi utilizată și de *driver*-ul cu componente discrete pentru a opri semnalul de comandă în cazul apariției unui supracurent prin tranzistorul T .

Conexiunea internă a modului de putere dintre tranzistorul T și dioda D_d permite realizarea ușoară a unui *chopper* de un cadran ce alimentează motorul de c.c. (M_{cc}) cu impulsuri de tensiune modulate în lățime. Prin modificarea factorului de umplere al semnalelor PWM se poate modifica tensiunea medie (continuă) la nivelul motorului și implicit turația acestuia. Modificarea acestei tensiuni poate fi pusă în evidență cu ajutorul voltmetrului V . Standul de laborator permite oscilografiera cu ușurință a semnalului logic PWM, a semnalelor aplicate efectiv pe grila tranzistorului de putere și a semnalelor tensiune-curent din partea de forță. În imaginea din Fig.5.15 osciloscopul prezintă formele de undă ale tensiunii pe motor și curentul prin acesta preluat de pe un șunt.

a) Circuit de comandă (*driver*) realizat cu componente discrete

În Fig.5.18 este prezentată varianta unui circuit de comandă pentru un tranzistor de putere cu grilă MOS realizat cu componente discrete. Din motive

Bariera izolatoare a fost plasată chiar la intrarea circuitului, pe traseul semnalului logic de comandă PWM. Pentru a obține separarea galvanică s-a ales soluția unui optocuplor rapid HP2212. Acesta este un integrat de tip optocuplor care include, pe lângă ansamblul fotodiodă-fototranzistor și alte componente cum ar fi circuite Triger-Schmitt pentru refacerea formei semnalului transmis. Tensiunea de alimentare poate fi cuprinsă în intervalul (5...20V) pentru a obține nivelul dorit al semnalului la ieșire.

Protecția la supracurenți utilizează tehnica bazată pe fenomenul desaturării, descris anterior. Memorarea defectului are loc doar pe durata perioadei curenți de comutație. Schema de protecție este realizată în jurul tranzistorului T_I care va asigura menținerea în conducție a tranzistorului T_{on} (BD681) și implicit a semiconductorului de putere cu grilă MOS. În același timp, conducția tranzistorului T_I depinde de căderea de tensiune de pe tranzistorul de putere $U_{CE(T)}$. Dacă acesta părăsește zona de saturație (zona ohmică) ca o consecință a apariției unui supracurent, tensiunea $U_{CE(T)}$ crește și în momentul în care este îndeplinită condiția:

$$U_{CE(T)} + U_{BE(T1)} + U_{Dz} + U_{D2} \geq U_{G+} = +15V_{cc} \quad (5.9)$$

dioda D_2 se blochează întrerupând curentul de bază $I_{B(T1)}$ al tranzistorului T_I . Prin blocarea lui T_I este blocat T_{on} și tranzistorul de putere va intra într-un proces de blocare mai lentă decât în cazul unei funcționări normale deoarece grila MOS este conectată la tensiunea negativă prin cele două rezistențe înseriate $R_{G1} + R_{G2}$.

Pentru ca tranzistorul T_I să poată prelua funcția de protecție la supracurenți trebuie, mai întâi, adus dispozitivul de putere în conducție. În acest scop, schema din Fig.5.17 permite numai inițierea conducției de către semnalul de comandă PWM. Menținerea tranzistorului de putere în conducție va depinde, mai departe, de felul în care evoluează curentul de sarcină (I_C).

Inițierea conducției tranzistorului de putere T se face prin activarea optocuplorului de către semnalul de comandă PWM. Informația de deschidere se va propaga la comparator care va bloca tranzistorul său intern cu colector în gol. Apare, astfel, un curent de încărcare a condensatorului C_I cu sensul din figură. Acest curent tranzitoriu va comanda în bază pentru un timp scurt tranzistorul T_{on} care va deschide, la rândul lui, semiconductorul de putere T . În regimul dinamic de intrare în conducție tensiunea pe semiconductor va scădea spre valoarea de saturație $U_{CE(sat)}$ permițând deschiderea diodei Zener D_z și amorsarea curentului de bază $I_{B(T1)}$. Prin deschiderea tranzistorului T_I se asigură curentul în bază lui T_{on} și după dispariția curentului de încărcare a condensatorului C_I .

Blocarea voită a tranzistorului de putere este determinată și menținută de un nivel coborât (OL) al semnalului PWM. Corespunzător acestui nivel este dezactivat optocuplorul care va rebascula comparatorul LM339 în starea inițială. Astfel, tranzistorul comparatorului este adus în conducție și la ieșirea acestuia apare un potențial negativ dat de sursa ($-15V_{cc}$). În consecință, ia naștere curentul $I_{B(Toff)}$, mai

întâi pe calea condensatorului C_I până acesta se descarcă și apoi pe calea diodei D_I . Tranzistorul T_{off} (BD682) se va deschide și va bloca semiconductorul de putere T .

b) Circuit de comandă realizat cu integrate specializate

În Fig.5.19 este prezentată varianta unui circuit de comandă pentru un tranzistor de putere cu grilă MOS realizat cu integratul specializat HCPL 316J. Acesta este un *driver* integrat al firmei Hewlett Packard **cu separare galvanică** (2.0 Amp. Gate Drive Optocoupler - HP) capabil să comande un tranzistor de putere cu grilă MOS (MOSFET sau IGBT) și canal de tip n . Nivelurile logice TTL ale intrărilor permit interfațarea directă cu structuri de control complexe (microcontroler, μP , DSP). Realizează funcții de protecție la supracurenți și scăderea tensiunilor de alimentare. Curentul maxim de grilă este de $I_{G(max)} = 2A$ și este suficient pentru a comanda eficient dispozitive de putere ce lucrează până la 150A și 1200V. Dacă se dorește creșterea curentului de grilă se poate atașa un circuit de amplificare exterior.

Datorită faptului că partea logică a integratului este separată galvanic de etajul final (*buffer*) sunt necesare două surse separate galvanic pentru alimentarea circuitului. Nu poate fi utilizată tehnica de alimentare *bootstrap* deoarece integratul nu este de tip HVIC. Conform celor prezentate în paragraful (5) partea logică a integratului se alimentează separat cu tensiunea $V_{CC1} = +5V$ (nivel TTL), iar etajul final se alimentează de la o sursă dublă cu tensiunile $U_{G+}=V_{CC2}=+15V$ și $U_{G-}=V_E=-(5\div 15)V$. Trebuie avut grijă ca diferența de potențial între cele două tensiuni de grilă să nu depășească 30V.

Bariera izolatoare este plasată în interiorul integratului între blocul logic și etajul final. Beneficiind de performanțele atinse de firma HP în domeniul optocuploarelor, circuitul include două trasee optice rapide: primul pentru transmiterea semnalului de comandă PWM, iar al doilea pentru transmiterea semnalului de defect (*Fault*) în cazul în care au lucrat circuitele de protecție din partea conectată la tranzistorul de putere.

Protecția la supracurenți este de tip DESAT și pentru aceasta integratul include un comparator și o referință internă de 7V. Așa cum s-a arătat anterior este de preferat ca blocarea tranzistorului de putere în condițiile apariției unui supracurent să se facă mai lent pentru evitarea supratensiunilor de comutație. Și integratul HCPL 316J utilizează această soluție. Astfel, dacă este sesizat un supracurent este deschis un tranzistor intern dedicat care va coborî progresiv potențialul pozitiv al grilei. La atingerea pragului de 2V este comandat tranzistorul dedicat blocării în regim normal de funcționare (T_{off}) prin care se negativează abrupt grila semiconductorului de putere.

Circuitul exterior utilizat pentru protecția de tip DESAT constă din dioda D_{desat} (rapidă, de tensiune ridicată) și filtrul $R-C$ ($300\Omega-6nF$). Acesta din urmă permite rejectarea semnalelor false de defect. Totodată, introduce și o întârziere în transmiterea semnalului de pe colector (drenă) pentru ca circuitul comparator intern să primească semnal (la pinul *Desat*) după ce tranzistorul de putere s-a deschis ferm.

Integratul are posibilitatea recepționării semnalului de comandă PWM într-o logică inversată, situație în care va fi utilizată intrarea V_{IN-} . În cazul lucrului cu semnal PWM în logică pozitivă se utilizează intrarea V_{IN+} , iar intrarea V_{IN-} este pusă la masă, așa cum se prezintă în figură sau poate fi utilizată pentru un semnal exterior de STOP activ în 1L.

Deoarece tranzistorul IGBT este de putere mare, între ieșirea integratului HCPL 316J și grila MOS a semiconductorului s-a folosit un etaj de amplificare care poate susține impulsuri de curent importante pentru încărcarea și descărcarea rapidă a capacității grilei. Etajul este realizat cu perechea de tranzistoare bipolare complementare BD681/BD682 care pot prelua curenți de colector de până la 15 A. Tranzistorul *npn* BD681 se deschide atunci când la ieșirea V_{OUT} a integratului specializat apare un potențial ridicat. În acest fel va lua naștere un puls de curent al cărui amplitudine este limitată de valoarea rezistenței $R_{g(on)}$ (5Ω). Sarcinile electrice transportate de acest curent vor încărca rapid capacitatea de grilă a IGBT-ului cu o tensiune pozitivă și îl va deschide. Cu cât amplitudinea pulsului de curent va fi mai mare cu atât timpul de intrare în conducție a IGBT-ului va fi mai scurt.

Blocarea IGBT-ului este inițiată atunci când semnalul la ieșirii V_{OUT} coboară spre valori negative. Astfel, este adus în conducție tranzistorul *pnp* BD682 care va descărca rapid sarcinile acumulate în capacitatea de grilă, blocând IGBT-ul. Rezistența $R_{g(off)}$ are rolul de a limita curentul de descărcare a capacității de grilă. Valoarea acesteia (3Ω) va influența în mod direct viteza de ieșire din conducție a IGBT-ului. Prin menținerea în conducție a tranzistorului D45VH10 pe toată durata blocării dorite a IGBT-ului se asigură un potențial negativ în grila acestuia, evitându-se în acest fel, eventuale deschideri accidentale datorită unor perturbații.

Alimentarea circuitului de comandă

Alimentarea schemei este realizată de o sursă multiplă de c.c. care furnizează la ieșire tensiuni stabilizate de $\pm 15V_{cc}$ și de $+5V_{cc}$. Aceste tensiuni sunt obținute prin redresarea tensiunilor alternative furnizate de un transformator de rețea cu trei secundare după care sunt redresate prin intermediul unor punți cu diode, filtrate cu ajutorul filtrelor capacitive (condensatoare electrolitice + ceramice) și apoi stabilizate cu ajutorul unor stabilizatoare monolitice în trei puncte: 7815 (stabilizator de $+15V_{cc}$), 7915 (stabilizator de $-15V_{cc}$), 7805 (stabilizator de $+5V_{cc}$).

7. Modul de lucru

1. Se vor studia aspectele teoretice referitoare la tranzistorul MOSFET de putere și la tranzistorul de tip IGBT din prima parte a referatului: simboluri, structură semiconductoare, caracteristici statice;
 2. Se va analiza modul în care, prin intermediul tensiunii de grilă, este indusă starea de conducție (efectul de câmp, fenomenul de inversie) și care sunt nivelurile
-

standard recomandate ale tensiunii de comandă pentru deschiderea, respectiv blocarea acestor tranzistoare;

3. Se va studia cu atenție care este rolul rezistențelor de grilă în evoluția dinamică a tranzistoarelor de putere cu grilă MOS și cum se stabilește valoarea acestora;
4. Se vor analiza structurile funcționale de bază utilizate în circuitele de comandă pentru tranzistoarele de putere cu grilă MOS: etajul final, structuri de protecție, de interfață și separare galvanică, de alimentare etc.;
5. Se va analiza placa experimentală din laborator pentru a identifica poziția sursei multiple de c.c., a modului de putere, a circuitului de comandă cu cele două *driver*-ere, a pieselor componente și a bornelor de legătură;
6. Se va analiza funcționarea *driver*-ului realizat cu componente discrete (vezi Fig.5.18);
7. Se va analiza funcționarea *driver*-ului realizat cu integratul specializat HCPL 316J (vezi Fig.5.19);
8. Se va realiza montajul din laborator a cărui schemă bloc și imagine este prezentată în Fig.5.16, respectiv Fig.5.15. Se va alimenta și se va pune progresiv în funcțiune montajul, începând cu modulatorul PWM și circuitul de comandă;
9. Se va oscilografia forma de undă a semnalului de logic PWM și se va evidenția nivelul acestuia și posibilitatea modificării factorului de umplere odată cu rotirea potențiometrului de pe modulatorul PWM;
10. Se va oscilografia forma de undă a tensiunii de pe grila tranzistorului de putere (u_{GE}) dată de cele două *driver*-e prin modificarea poziției comutatorului K. Se vor analiza nivelurile și fronturile acestui semnal în comparație cu semnalul logic PWM. Poate fi pusă în evidență și întârzierea de propagare a comenzii prin *driver* dacă cele două semnale sunt oscilografiate simultan cu ajutorul unui osciloscop având două canale separate galvanic;
11. Se va pune în evidență modul în care funcționează protecția DESAT pentru fiecare *driver* prin deconectare legăturii dintre circuitul de comandă și colectorul tranzistorului de putere în timp ce se oscilografiază tensiunea de grilă u_{GE} ;
12. Se va alimenta schema de forță cu tensiunea U_d și se vor vizualiza, utilizând un osciloscop cu două spoturi, formele de undă ale curentului prin motor (i_e) și ale tensiunii de la bornele sale (u_e);
13. Se va pune în evidență modul de reglare al tensiunii medii U_e prin intermediul factorului de umplere al semnalului PWM cu ajutorul unui voltmetru și prin sesizarea modificării vitezei motorului de c.c.